



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2002-0042169  
Application Number

출원년월일 : 2002년 07월 18일  
Date of Application JUL 18, 2002

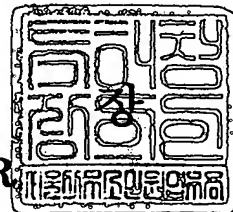
출원인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



2003 년 04 월 16 일

특 허 청

COMMISSIONER



## 【서지사항】

|            |  |
|------------|--|
| 【서류명】      | 특허출원서  |
| 【권리구분】     | 특허   |
| 【수신처】      | 특허청장   |
| 【참조번호】     | 0025   |
| 【제출일자】     | 2002.07.18   |
| 【발명의 명칭】   | 플래시 메모리 셀 및 그 제조방법과 플래시 메모리 셀의 프로그램/소거/독출 방법   |
| 【발명의 영문명칭】 | Flash memory cell and method of manufacturing the same and programming/erasing/reading method of flash memory cell |
| 【출원인】      |  |
| 【명칭】       | ( 주)하이닉스 반도체   |
| 【출원인코드】    | 1-1998-004569-8  |
| 【대리인】      |  |
| 【성명】       | 신영무  |
| 【대리인코드】    | 9-1998-000265-6  |
| 【포괄위임등록번호】 | 1999-003525-1  |
| 【발명자】      |  |
| 【성명의 국문표기】 | 박성기  |
| 【성명의 영문표기】 | PARK, Sung Kee   |
| 【주민등록번호】   | 690123-1805714   |
| 【우편번호】     | 742-980  |
| 【주소】       | 경상북도 상주시 화남면 평은 2리 323번지   |
| 【국적】       | KR   |
| 【발명자】      |  |
| 【성명의 국문표기】 | 유영선  |
| 【성명의 영문표기】 | YOU, Young Seon  |
| 【주민등록번호】   | 661212-1025611   |
| 【우편번호】     | 463-050  |
| 【주소】       | 경기도 성남시 분당구 서현동 동아아파트 203-902  |
| 【국적】       | KR   |

**【발명자】**

**【성명의 국문표기】** 김용욱  
**【성명의 영문표기】** KIM, Yong Wook  
**【주민등록번호】** 650527-1782825  
**【우편번호】** 467-010  
**【주소】** 경기도 이천시 창전동 현대아파트 102-1111  
**【국적】** KR

**【발명자】**

**【성명의 국문표기】** 전유남  
**【성명의 영문표기】** JEON, Yoo Nam  
**【주민등록번호】** 740114-1149714  
**【우편번호】** 467-865  
**【주소】** 경기도 이천시 부발읍 신하리 진우아파트 104-701  
**【국적】** KR

**【심사청구】**

청구

**【취지】**

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인  
 신영무 (인)

**【수수료】**

|                 |      |           |
|-----------------|------|-----------|
| <b>【기본출원료】</b>  | 20 면 | 29,000 원  |
| <b>【가산출원료】</b>  | 12 면 | 12,000 원  |
| <b>【우선권주장료】</b> | 0 건  | 0 원       |
| <b>【심사청구료】</b>  | 26 항 | 941,000 원 |
| <b>【합계】</b>     |      | 982,000 원 |

**【첨부서류】**

1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명은, 반도체 기판의 소정 영역에 형성된 제1 터널 산화막과, 상기 제1 터널 산화막의 상부에 형성된 제1 플로팅 게이트와, 상기 반도체 기판 상부와 상기 제1 플로팅 게이트 일측벽을 따라 형성된 제2 터널 산화막과, 상기 제2 터널 산화막과 접하면서 형성되어 상기 제1 플로팅 게이트와 격리된 제2 플로팅 게이트와, 상기 제1 플로팅 게이트 및 상기 제2 플로팅 게이트 상에 형성된 유전체막과, 상기 유전체막 상에 형성된 콘트롤 게이트와, 상기 제2 터널 산화막 일측부 하부의 상기 반도체 기판에 형성된 제1 접합 영역 및 상기 제1 터널 산화막 일측부 하부의 상기 반도체 기판에 형성된 제2 접합 영역을 포함하는 플래시 메모리 셀 및 그 제조방법과 프로그램/소거/독출 방법을 제공한다.

**【대표도】**

도 14

**【색인어】**

플래시 메모리 셀, 2-비트 셀, 3-비트 셀

## 【명세서】

## 【발명의 명칭】

플래시 메모리 셀 및 그 제조방법과 플래시 메모리 셀의 프로그램/소거/독출 방법  
{Flash memory cell and method of manufacturing the same and  
programming/erasing/reading method of flash memory cell}

## 【도면의 간단한 설명】

도 1은 종래의 일반적인 플래시 메모리 셀의 데이터 저장 방법을 나타내는 그래프이다.

도 2는 종래의 한개의 플로팅 게이트로 이루어진 멀티 레벨 셀의 데이터 저장 방법을 나타내는 그래프이다.

도 3은 본 발명의 바람직한 실시예에 따른 플래시 메모리 셀의 레이아웃도이다.

도 4 내지 도 13은 본 발명의 바람직한 실시예에 따른 플래시 메모리 셀의 제조방법을 설명하기 위하여 도시한 단면도들이다.

도 14는 2-비트 또는 3-비트의 데이터를 저장할 수 있는 본 발명의 플래시 메모리 셀을 도시한 단면도이다.

도 15는 실리콘 질화막 플로팅 게이트로 이루어진 플래시 메모리 셀과 폴리실리콘 플로팅 게이트로 이루어진 플래시 메모리 셀을 시리얼(Serial) 형태로 배열한 경우의 단면도이다.

<도면의 주요 부분에 부호의 설명>

114: 제1 터널 산화막    116: 제1 플로팅 게이트

118: 제2 터널 산화막    120: 제2 플로팅 게이트

122: 유전체막    124: 콘트롤 게이트

130: 제1 집합 영역    132: 제2 집합 영역

### 【발명의 상세한 설명】

### 【발명의 목적】

### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<12>    본 발명은 반도체 메모리 소자 및 그 제조방법에 관한 것으로, 더욱 상세하게는 플래시 메모리 셀 및 그 제조방법과 프로그램/소거/독출 방법에 관한 것이다.

<13>    NOR형 플래시 메모리 셀의 정보 저장은 플로팅 게이트에 전하(전자)를 저장할 때와 그렇지 않을 때의 문턱전압( $V_t$ ) 차이에 의한 셀 전류 차이를 비교해서 플래시 메모리 셀의 상태를 읽어내는 방식이다. 도 1에 도시된 바와 같이, 콘트롤 게이트에 항상 일정한 전압을 가했을 때 나오는 전류와 기준 셀(Reference Cell)에서 항상 일정하게 나오는 전류를 감지 증폭기(Sense Amplifier)에서 비교해서 전류가 많이 흐르는 경우와 적게 흐르는 경우를 각각 "0" 및 "1"로 처리하며, 이를 1비트(Bit)라 한다.

<14>    그런데, 1개의 셀에 1비트를 저장하는 방법은 플래시 메모리 셀의 집적도가 증가할 수록 집적도와 같은 셀의 수가 필요하게 된다. 즉, 64M 플래시는  $2^{26}$ 개의 셀이 필요하다. 따라서, 이를 해결할 수 있도록 개발되고 있는 것이 멀티 레벨 셀(MLC; Multi Level Cell)인데, 플래시 셀 구조의 변화없이 플래시 메모리 셀의 문턱전압( $V_t$ )을 세분해서 상태(States)를 표시하는 방법이 개발되고 있다. NOR형 플래시 메모리 소자 뿐만 아니라 NAND형 플래시 메모리 소자에 대하여도 개발되고 있다.

<15> 멀티 레벨 셀은 대부분 도 2에 도시된 바와 같이 문턱전압( $V_t$ )을 4개의 상태 (States)로 세분해서 정보를 저장하는데, 각 상태는 "11", "10", "01" 및 "00"으로 구분할 수 있다. 즉, 1개의 셀에 2-비트(4개의 상태)를 저장할 수 있는 구조이다. 문턱전압( $V_t$ ) 상태를 무한정 많이 나눌 수 있으면 가장 이상적이지만, 현재까지는 4개의 상태로 나누는 경우가 가장 일반적이다.

<16> 그러나, 일반적인 2-비트 멀티 레벨 셀은 1개의 스택형 셀(Stack Cell)에 4개의 상태로 나누어 구현하고 있는데, 이 방식은 전하 리텐션(Charge Retention)에 의해 전하 손실이 일어날 경우 문제가 발생할 수 있다. 즉, 소거 상태(Erased Stages)에서 프로그램 상태(Programmed States)로 바뀔 때, 플로팅 게이트에 대략 3000개 정도의 전하가 모이는데, 이를 4개의 상태로 나눌 경우 전하 손실이 생기면 다른 상태로 인식하여 페일이 일어날 확률이 높아진다.

**【발명이 이루고자 하는 기술적 과제】**

<17> 본 발명이 이루고자 하는 기술적 과제는 기존의 공정 기술을 그대로 사용하여 고밀도의 2-비트 또는 3-비트의 데이터를 저장할 수 있는 플래시 메모리 셀의 제조방법을 제공함에 있다.

<18> 본 발명이 이루고자 하는 다른 기술적 과제는 프로그램 시간, 전하 저장/리텐션 측면에서 종래의 플래시 메모리 셀보다 유리하고, 2-비트 또는 3-비트의 데이터를 저장할 수 있는 플래시 메모리 셀을 제공함에 있다.

<19> 본 발명이 이루고자 하는 또 다른 기술적 과제는 2-비트 또는 3-비트의 데이터를 저장할 수 있는 플래시 메모리 셀의 프로그램/소거/독출 방법을 제공함에 있다.

## 【발명의 구성 및 작용】

<20>       상기 기술적 과제를 달성하기 위하여 본 발명은, 반도체 기판의 소자분리영역에 상기 반도체 기판의 표면보다 높게 돌출된 돌출부를 구비하는 소자분리막을 형성하는 단계와, 상기 반도체 기판 상에 제1 터널 산화막을 형성하는 단계와, 상기 제1 터널 산화막이 형성된 반도체 기판 상에 제1 플로팅 게이트용 물질막을 증착하는 단계와, 상기 제1 플로팅 게이트용 물질막을 패터닝하는 단계와, 상기 패터닝된 제1 플로팅 게이트용 물질막이 형성된 반도체 기판 상에 단차를 따라 제2 터널 산화막 및 제2 플로팅 게이트용 물질막을 순차적으로 형성하는 단계와, 상기 제1 플로팅 게이트용 물질막 상부의 상기 제2 터널 산화막 및 상기 제2 플로팅 게이트용 물질막을 화학기계적 연마하여 제거하면서 상기 제1 플로팅 게이트용 물질막이 상기 돌출부에 의해 격리되도록 하는 단계와, 상기 결과물 상에 콘트롤 게이트용 물질막 및 하드 마스크층을 형성하는 단계 및 게이트 패턴을 정의하는 마스크를 사용하여 상기 하드 마스크층, 상기 콘트롤 게이트용 물질막, 상기 제2 플로팅 게이트용 물질막, 상기 제2 터널 산화막, 상기 제1 플로팅 게이트용 물질막 및 상기 제1 터널 산화막을 패터닝하는 단계를 포함하는 것을 특징으로 하는 플래시 메모리 셀의 제조방법을 제공한다.

<21>       상기 다른 기술적 과제를 달성하기 위하여 본 발명은, 반도체 기판의 소정 영역에 형성된 제1 터널 산화막과, 상기 제1 터널 산화막의 상부에 형성된 제1 플로팅 게이트와, 상기 반도체 기판 상부와 상기 제1 플로팅 게이트 일측벽을 따라 형성된 제2 터널 산화막과, 상기 제2 터널 산화막과 접하면서 형성되어 상기 제1 플로팅 게이트와 격리된 제2 플로팅 게이트와, 상기 제1 플로팅 게이트 및 상기 제2 플로팅 게이트 상에 형성된



유전체막과, 상기 유전체막 상에 형성된 콘트롤 게이트와, 상기 제2 터널 산화막 일측부 하부의 상기 반도체 기판에 형성된 제1 접합 영역 및 상기 제1 터널 산화막 일측부 하부의 상기 반도체 기판에 형성된 제2 접합 영역을 포함하는 것을 특징으로 하는 플래시 메모리 셀을 제공한다.

<22>       상기 또 다른 기술적 과제를 달성하기 위하여 본 발명은, 상기 플래시 메모리 셀에 데이터를 저장하기 위한 플래시 메모리 셀의 프로그램 방법에 있어서, 제1 플로팅 게이트에 전자를 주입시킬 경우에는 콘트롤 게이트에 프로그램 전압을 인가하고 제1 접합 영역을 접지 단자와 연결시키며 제2 접합 영역에 상기 프로그램 전압보다 작고 접지 전압보다는 큰 전압을 인가하여 프로그램하며, 제2 플로팅 게이트에 전자를 주입시킬 경우에는 상기 콘트롤 게이트에 프로그램 전압을 인가하고 상기 제1 접합 영역에 상기 프로그램 전압보다 작고 접지 전압보다는 큰 전압을 인가하며 상기 제2 접합 영역을 접지 단자와 연결시켜 프로그램하되, 상기 제1 플로팅 게이트와 상기 제2 플로팅 게이트에 대하여 독립적으로 프로그램 동작이 이루어지는 것을 특징으로 하는 플래시 메모리 셀의 프로그램 방법을 제공한다.

<23>       또한, 상기 또 다른 기술적 과제를 달성하기 위하여 본 발명은, 상기 플래시 메모리 셀에 저장된 데이터를 소거하기 위한 플래시 메모리 셀의 소거 방법에 있어서, 제1 플로팅 게이트에 주입된 전자를 방출시킬 경우에는 콘트롤 게이트에 소거 전압을 인가하고 제1 접합 영역을 플로팅시킨 상태에서 제2 접합 영역에 접지 전압보다 큰 전압을 인가하여 소거하며, 제2 플로팅 게이트에 주입된 전자를 방출시킬 경우에는 상기 콘트롤 게이트에 소거 전압을 인가하고 상기 제2 접합 영역을 플로팅시킨 상태에서 상기 제1 접합 영역에 접지 전압보다 큰 전압을 인가하여 소거하되, 상기 제1 플로팅 게이트와 상기



제2 플로팅 게이트에 대하여 독립적으로 소거 동작이 이루어지는 것을 특징으로 하는 플래시 메모리 셀의 소거 방법을 제공한다.

<24> 또한, 상기 또 다른 기술적 과제를 달성하기 위하여 본 발명은, 상기 플래시 메모리 셀에 저장된 데이터를 소거하기 위한 플래시 메모리 셀의 소거 방법에 있어서, 제1 접합 영역 및 제2 접합 영역을 플로팅시킨 상태에서 콘트롤 게이트에 소거 전압을 인가하고 반도체 기판에 접지 전압보다 큰 전압을 인가하여 제1 플로팅 게이트 및 제2 플로팅 게이트에 주입된 전자를 동시에 방출시켜 소거하는 것을 특징으로 하는 플래시 메모리 셀의 소거 방법을 제공한다.

<25> 또한, 상기 또 다른 기술적 과제를 달성하기 위하여 본 발명은, 상기 플래시 메모리 셀에 저장된 데이터를 독출하기 위한 플래시 메모리 셀의 독출 방법에 있어서, 콘트롤 게이트에 독출 전압을 인가하고 제1 접합 영역을 접지 단자에 연결시키며 제2 접합 영역에 독출 전압보다는 작고 접지 전압보다는 큰 전압을 인가한 후 제2 접합 영역에 흐르는 셀 전류를 센싱하여 독출하거나, 콘트롤 게이트에 독출 전압을 인가하고 제2 접합 영역을 접지 단자에 연결시키며 제1 접합 영역에 독출 전압보다는 작고 접지 전압보다는 큰 전압을 인가한 후 제1 접합 영역에 흐르는 셀 전류를 센싱하여 독출하는 것을 특징으로 하는 플래시 메모리 셀의 독출 방법을 제공한다.

<26> 이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예를 상세하게 설명하기로 한다. 그러나, 이하의 실시예는 이 기술분야에서 통상적인 지식을 가진 자에게 본 발명이 충분히 이해되도록 제공되는 것으로서 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 다음에 기술되는 실시예에 한정되는 것은 아니다. 이하의 설명에서 어떤 층이 다른 층의 위에 존재한다고 기술될 때, 이는 다른 층의 바로 위에 존재할 수도

있고, 그 사이에 제3의 층이 게재될 수도 있다. 또한, 도면에서 각 층의 두께나 크기는 설명의 편의 및 명확성을 위하여 과장되었다. 도면상에서 동일 부호는 동일한 요소를 지칭한다.

<27> 도 3은 본 발명의 바람직한 실시예에 따른 플래시 메모리 셀의 레이아웃도이다. 도 3에서 참조부호 '113'은 소자분리막을, '116'은 플로팅 게이트로 사용되는 제1 폴리실리콘막 패턴을 나타낸다.

<28> 도 4 내지 도 13은 본 발명의 바람직한 실시예에 따른 플래시 메모리 셀의 제조방법을 설명하기 위하여 도시한 단면도들이다. 도 4a 내지 도 13a는 도 3의 I-I'선을 따라 절단한 단면도들이고, 도 4b 내지 도 13b는 도 3의 II-II'선을 따라 절단한 단면도들로서 각각 도 3a 내지 도 13a에 대응하게 도시되어 있다.

<29> 도 4a 및 도 4b를 참조하면, 반도체 기판(100) 상에 패드 산화막(102)을 형성한다. 패드 산화막(102)은 건식 또는 습식 산화 방식으로 형성하며, 750℃~900℃의 온도범위에서 70Å~100Å 정도의 두께로 형성한다.

<30> 패드 산화막(102) 상에 패드 질화막(104)을 증착한다. 패드 질화막(104)은 LP-CVD(Low Pressure-Chemical Vapor Deposition) 방법으로 형성하며, 후속 공정에서 소자분리막이 충분히 돌출될 수 있는 정도의 두께, 예컨대 2000Å~3500Å 정도의 두께로 형성한다.

<31> 소자분리막 형성을 위한 패터닝을 통해 반도체 기판(100) 내에 트렌치(106)를 형성하여 소자분리 영역과 액티브 영역을 정의한다. 즉, 소자분리영역을 정의하는 포토레지스트 패턴(미도시)을 형성하고, 상기 포토레지스트 패턴을 식각 마스크로 하여 패드 질

화막(104), 패드 산화막(102) 및 반도체 기판(100)을 식각하여 반도체 기판(100) 내에 트렌치(106)를 형성한다. 이때, 트렌치(106)는 2500Å~3500Å 정도, 바람직하게는 3000Å 정도의 깊이로 형성한다.

<32> 도 5a 및 도 5b를 참조하면, 트렌치(106) 측벽 및 바닥의 식각 손상을 보상하고, 트렌치(106) 상부 및 바닥 코너를 라운딩(rounding) 처리하기 위하여 트렌치(106) 내벽에 희생 산화막(미도시)을 형성한다. 상기 희생 산화막은 건식 산화 방식으로 형성하며, 1000℃~1150℃ 정도의 온도 범위에서 150Å~250Å 정도의 두께로 형성하는 것이 바람직하다.

<33> 상기 희생 산화막을 식각액을 사용하여 제거한 후, 측벽 산화를 진행하여 트렌치(106) 내에 상기 희생 산화막보다 더 두껍게 측벽 산화막(108)을 형성한다. 상기 희생 산화막은 DHF 용액(Diluted HF; 예를 들면, 물과 HF가 50:1 정도의 비율로 희석된 HF 용액) 또는 BOE 용액(Buffer Oxide Etchant; 예를 들면, HF와 NH<sub>4</sub>F가 100:1 또는 300:1 정도로 혼합된 용액)을 사용하여 제거할 수 있다. 측벽 산화막(108)은 습식 산화 방식을 이용하여 750℃~850℃ 정도의 온도 범위에서 300Å~450Å 정도의 두께로 형성하는 것이 바람직하다.

<34> 전체 구조 상부에 라이너(110)를 형성한다. 라이너(110)는 후속 공정에서 형성되는 트렌치 절연막(도 6a의 '112' 참조)과의 접착을 강화하는 역할을 한다. 라이너(110)는 고온 산화막(High Temperature Oxide; HTO)으로 형성하는 것이 바람직하다. 예컨대 SiH<sub>2</sub>Cl<sub>2</sub>(dichlorosilane; DCS)와 산소를 반응시켜 고온(예컨대, 1000℃~1100℃ 정도의 온도)에서 증착하여 형성한다. 라이너(110)는 100Å~120Å 정도의 두께로 형성하는 것이 바람직하다.

- <35> 도 6a 및 도 6b를 참조하면, 트렌치 절연막(112)을 증착하여 상기 트렌치(106)내를 매립한다. 이때, 트렌치 절연막(112)은 트렌치(106)내를 충분히 매립하면서 패드 질화막(104)의 상부 표면 위까지 충분히 증착되는 정도의 두께, 예컨대 5000Å~10000Å 정도의 두께로 증착한다. 트렌치 절연막(112)은 HDP(High Density Plasma) 산화막으로 형성하는 것이 바람직하며, 트렌치(106) 내에 보이드(void) 등이 형성되지 않도록 매립한다.
- <36> 트렌치 절연막(112) 및 라이너(110)를 화학기계적 연마(Chemical Mechanical Polishing)하여 평탄화한다. 상기 화학기계적 연마 공정은 패드 질화막(104)이 노출될 때까지 진행하는 것이 바람직하다. 상기 화학기계적 연마 공정에 의하여 패드 질화막(104) 정도 두께의 돌출부를 갖는 소자분리막(113)이 형성되게 된다.
- <37> 도 7a 및 도 7b를 참조하면, 패드 질화막(104)을 제거한다. 패드 질화막(104)은 스트립(strip) 공정을 이용하여 제거할 수 있다. 예컨대, 인산( $H_3PO_4$ ) 용액을 사용하여 제거할 수 있다.
- <38> 이어서, 웰 정션(well junction)과 문턱전압 조절을 위하여 이온주입을 실시한다. 다음에, 소오스 영역 및 드레인 영역을 형성하기 위하여 이온주입을 실시한다.
- <39> 이하의 도면에서는, 측벽 산화막(108), 라이너(110) 및 트렌치 절연막(112)은 소자분리막(113)으로만 표현하여 나타내고, 이하의 설명에서도 측벽 산화막(108), 라이너(110) 및 트렌치 절연막(112)을 따로 구분하지 않고 소자분리막(113)이라 표현하여 설명하겠다.

- <40> 도 8a 및 도 8b를 참조하면, 패드 산화막(102)을 제거한다. 패드 산화막(102)은 DHF 용액(Diluted HF; 예를 들면, 물과 HF가 50:1 정도의 비율로 희석된 HF 용액) 또는 BOE 용액(Buffer Oxide Etchant; 예를 들면, HF와  $\text{NH}_4\text{F}$ 가 100:1 또는 300:1 정도로 혼합된 용액)을 사용하여 제거할 수 있다.
- <41> 도 9a 및 도 9b를 참조하면, 반도체 기판(100) 상에 제1 터널 산화막(114)을 형성한다. 제1 터널 산화막(114)은 습식 산화 방식을 이용하여 형성하는 것이 바람직하다. 예컨대,  $750^\circ\text{C} \sim 800^\circ\text{C}$  정도의 온도에서 습식 산화를 진행하고  $900^\circ\text{C} \sim 910^\circ\text{C}$  정도의 온도에서 질소( $\text{N}_2$ ) 분위기에서 20~30분간 어닐링을 진행하여 형성한다.
- <42> 이어서, 제1 플로팅 게이트로 사용될 제1 폴리실리콘막(116)을 증착한다. 제1 폴리실리콘막(116)은 500 내지 2000 Å 정도의 두께로 증착한다. 제1 폴리실리콘막(116)은  $\text{SiH}_4$  또는  $\text{Si}_2\text{H}_6$ 와  $\text{PH}_3$  가스를 이용하여 LP-CVD(Low Pressure-Chemical Vapor Deposition) 방법으로 형성하는 것이 바람직하다. 이때, 제1 폴리실리콘막(116)의 그레인 크기(grain size)가 최소화되도록 증착하는 것이 바람직하다. 제1 폴리실리콘막(116)은 580 내지  $620^\circ\text{C}$  정도의 온도와 0.1 내지 3Torr 정도의 낮은 압력 조건에서 형성한다. 다음에, 도 9b에 도시된 바와 같이 제1 폴리실리콘막(116)을 패터닝한다.
- <43> 도 10a 및 도 10b를 참조하면, 반도체 기판(100) 상에 제2 터널 산화막(118)을 형성한다. 제2 터널 산화막(118)은 고온 산화막(HTO; High Temperature Oxide)로 형성하며, 50 Å 내지 100 Å 정도의 두께로 형성하는 것이 바람직하다.
- <44> 제2 터널 산화막(118)이 형성된 반도체 기판(100) 상에 제2 플로팅 게이트로 사용될 실리콘 질화막( $\text{Si}_3\text{N}_4$ )(120)을 형성한다. 실리콘 질화막(120)은 제1 폴리실리콘막

(116)의 증착 두께보다는 작게, 예컨대 100 Å 내지 1000 Å 정도의 두께로 형성하는 것이 바람직하다.

<45> 도 11a 및 도 11b를 참조하면, 화학기계적 연마 공정을 실시하여 제1 폴리실리콘막(116) 상부의 제2 터널 산화막(118) 및 실리콘 질화막(120)을 제거한다. 이때, 상기 화학기계적 연마 공정은 소자분리막(113)의 돌출부가 노출될 때까지 실시하여 제1 폴리실리콘막(116)이 소자분리막(113)에 의하여 완전히 고립되도록 한다.

<46> 도 12a 및 도 12b를 참조하면, 제1 폴리실리콘막(116) 사이에 돌출된 소자분리막(113)을 원하는 타겟(target)만큼 식각한다. 이로써, 소자분리막(113)의 돌출부와 접하던 제1 폴리실리콘막(116)의 측벽이 노출되면서 제1 폴리실리콘막(116)의 노출 면적이 증가하여 커플링 비를 높일 수 있다.

<47> 반도체 기판(100) 상에 유전체막(122)을 형성한다. 유전체막(122)은 산화막/질화막/산화막 형태의 구조, 즉 ONON( $\text{SiO}_2/\text{Si}_3\text{N}_4/\text{SiO}_2$ ) 구조로 형성하는 것이 바람직하다. 유전체막(122)의 산화막은 우수한 내압과 TDDB(Time Dependent Dielectric Breakdown) 특성이 우수한  $\text{SiH}_2\text{Cl}_2$ (dichlorosilane; DCS)와  $\text{H}_2\text{O}$  가스를 소스 가스로 이용하여 고온산화막(High Temperature Oxide; HTO)으로 형성하는 것이 바람직하다. 유전체막(122)의 질화막은 반응가스로서  $\text{NH}_3$ 와  $\text{SiH}_2\text{Cl}_2$ (dichlorosilane; DCS) 가스를 이용하고, 0.1 내지 3Torr 정도의 낮은 압력과 650 내지 800°C 정도의 온도범위에서 LP-CVD 방식으로 형성하는 것이 바람직하다.

<48> 다음에, 유전체막(122) 상부에 컨트롤 게이트로 사용될 제2 폴리실리콘막(124) 및 실리콘사이드막(126)을 증착한다. 실리콘사이드막(126)은 텅스텐실리콘(WSi)막으로 형성하는 것이 바람직하다. 제2 폴리실리콘막(124)은 510°C ~ 550°C 정도의 온도에서 0.1 ~ 3 torr

이하의 낮은 압력 조건으로 증착된 비정질 실리콘 박막을 사용하는 것이 바람직하다. 실리콘사이드막(126)인 텅스텐실리콘(WSi)막은 낮은 플루오린(F) 함유와 어닐링 후의 낮은 스트레스, 좋은 접착 강도를 갖는  $\text{SiH}_4$ (monosilane; MS) 또는  $\text{SiH}_2\text{Cl}_2$ (dichlorosilane; DCS)와  $\text{WF}_6$ 의 반응을 이용하여  $300^\circ\text{C} \sim 500^\circ\text{C}$  사이의 온도에서 형성하는 것이 바람직하다. 텅스텐실리콘(WSi)막은 화학양론적 비를 2.0~2.8 정도로 하여 성장시켜 적절한 스텝 커버리지(step coverage)를 구현하며 면저항( $R_s$ )을 최소화시키는 것이 바람직하다. 다음에, 실리콘사이드막(126) 상에 하드마스크층(128)을 형성한다. 하드마스크층(128)은 실리콘 질화막으로 형성한다.

<49> 도 13a 및 도 13b를 참조하면, 게이트 패터닝 공정을 수행한다. 즉, 콘트롤 게이트 형성을 마스크를 이용하여 하드마스크층(128), 실리콘사이드막(126), 제2 폴리실리콘막(124) 및 유전체막(122)을 패터닝하고, 패터닝된 하드마스크층(128)을 이용한 자기정렬 식각 공정으로 제1 폴리실리콘막(116), 제1 터널 산화막(114) 및 제2 터널 산화막(118)을 패터닝한다. 이어서, 반도체 기판(100)에 불순물을 이온주입하여 제2 터널 산화막(118) 일측부 하부의 반도체 기판(100)에 제1 접합 영역(130)을 형성하고, 동시에 제1 터널 산화막(114) 일측부 하부의 반도체 기판(100)에 제2 접합 영역(132)을 형성한다.

<50> 이후의 공정은 통상의 플래시 메모리 셀의 제조 공정과 동일하게 진행하므로 그 설명을 생략한다.

<51> 이하에서, 본 발명의 바람직한 실시예에 따라 제조된 플래시 메모리 셀의 동작을 설명한다.



- <52> 도 14는 2-비트 또는 3-비트의 데이터를 저장할 수 있는 본 발명의 플래시 메모리 셀을 도시한 단면도이다. 도 14에서는 소자의 동작을 표현하기 위하여 편의상 콘트롤 게이트(124) 상부에 형성되는 실리사이드막과 하드 마스크층은 도시하지 않았다.
- <53> 도 14를 참조하면, 본 발명의 플래시 메모리 셀은, 반도체 기판(100)의 소정 영역에 형성된 제1 터널 산화막(114)과, 제1 터널 산화막(114)의 상부에 형성된 제1 플로팅 게이트(116)와, 반도체 기판(100) 상부와 제1 플로팅 게이트(116) 일측벽을 따라 형성된 제2 터널 산화막(118)과, 제2 터널 산화막(118)과 접하면서 형성되어 제1 플로팅 게이트(116)와 격리된 제2 플로팅 게이트(120)와, 제1 플로팅 게이트(116) 및 제2 플로팅 게이트(120) 상에 형성된 유전체막(122)과, 유전체막(122) 상에 형성된 콘트롤 게이트(124)와, 제2 터널 산화막(118) 일측부 하부의 반도체 기판(100)에 형성된 제1 접합 영역(130) 및 제1 터널 산화막(114) 일측부 하부의 반도체 기판(100)에 형성된 제2 접합 영역(132)을 포함한다. 본 발명의 플래시 메모리 셀의 구조는 2-비트 셀 구조(4 레벨 상태)이며, 제1 플로팅 게이트(116)와 제2 플로팅 게이트(120)은 제2 터널 산화막(고온 산화막)(118)으로 분리되어 각각의 플로팅 게이트에 전하를 저장할 수 있는 장점이 있다. 이는 종래의 1개의 플로팅 게이트로 이루어진 경우와 비교하여 프로그램 시간뿐만 아니라 전하 저장/리텐션 측면에서 유리하다.
- <54> 한편, 제1 플로팅 게이트(116), 즉 폴리실리콘으로 이루어진 플로팅 게이트는 전하가 들어오면 등전위를 만들기 위해 전하가 플로팅 게이트 전역에 골고루 확산되어 분포되지만, 제2 플로팅 게이트(120), 즉 실리콘 질화막으로 이루어진 플로팅 게이트는 실리콘 질화막의 특성상 전하 트랩(Charge Trap) 형태로 존재하므로 제1 접합 영역(130) 근처의 영역에만 국부적으로 존재하게 된다.

- <55> 제2 플로팅 게이트(120)의 경우, 터널 산화막(118)으로 고온산화막을 사용하는데, 이는 두께 조절에 따라서 셀 문턱전압(Cell  $V_t$ )을 적절히 조절할 수 있는 장점이 있다.
- <56> 본 발명의 플래시 메모리 셀에 저장된 데이터를 저장하기 위한 플래시 메모리 셀의 프로그램은, 제1 플로팅 게이트(116)에 전자를 주입시킬 경우에는 콘트롤 게이트(124)에 프로그램 전압을 인가하고 제1 접합 영역(130)을 접지 단자와 연결시키며 제2 접합 영역(132)에 상기 프로그램 전압보다 작고 접지 전압보다는 큰 전압을 인가하여 이루어지며, 제2 플로팅 게이트(120)에 전자를 주입시킬 경우에는 콘트롤 게이트(124)에 프로그램 전압을 인가하고 제1 접합 영역(130)에 상기 프로그램 전압보다 작고 접지 전압보다는 큰 전압을 인가하고 제2 접합 영역(132)을 접지 단자와 연결시켜 이루어진다. 제1 플로팅 게이트(116)와 제2 플로팅 게이트(120)는 독립적으로 프로그램 동작이 이루어진다. 이때, 상기 프로그램 전압은 7V 내지 9V 이고, 상기 프로그램 전압보다 작고 접지 전압보다는 큰 전압은 4V 내지 5V일 수 있다.
- <57> 본 발명의 플래시 메모리 셀에 저장된 데이터를 소거하기 위한 플래시 메모리 셀의 소거는, 제1 플로팅 게이트(116)에 주입된 전자를 방출시킬 경우에는 콘트롤 게이트(124)에 소거 전압을 인가하고 제1 접합 영역(130)을 플로팅시킨 상태에서 제2 접합 영역(132)에 접지 전압보다 큰 전압을 인가하여 이루어지며, 제2 플로팅 게이트(120)에 주입된 전자를 방출시킬 경우에는 콘트롤 게이트(124)에 소거 전압을 인가하고 제2 접합 영역(132)을 플로팅시킨 상태에서 제1 접합 영역(130)에 접지 전압보다 큰 전압을 인가하여 이루어진다. 제1 플로팅 게이트(116)와 제2 플로팅 게이트(120)는 독립적으로 소거 동작이 이루어진다. 이때, 상기 소거 전압은 -8V 내지 -9V 이고, 상기 접지 전압보다 큰 전압은 4V 내지 5V일 수 있다.

- <58> 또한, 본 발명의 플래시 메모리 셀에 저장된 데이터를 소거하기 위한 플래시 메모리 셀의 소거는, 제1 접합 영역(130) 및 제2 접합 영역(132)을 플로팅시킨 상태에서 콘트롤 게이트(124)에 소거 전압을 인가하고 반도체 기판(100)에 접지 전압보다 큰 전압을 인가하여 제1 플로팅 게이트(116) 및 제2 플로팅 게이트(120)에 주입된 전자를 동시에 방출시켜 이루어질 수 있다. 이때, 상기 소거 전압은 -8V 내지 -9V 이고, 상기 접지 전압보다 큰 전압은 8V 내지 9V일 수 있다.
- <59> 본 발명의 플래시 메모리 셀에 저장된 데이터를 독출하기 위한 플래시 메모리 셀의 독출은, 콘트롤 게이트(124)에 독출 전압을 인가하고 제1 접합 영역(130)을 접지 단자에 연결시키며 제2 접합 영역(132)에 독출 전압보다는 작고 접지 전압보다는 큰 전압을 인가한 후 제2 접합 영역(132)에 흐르는 셀 전류를 센싱하거나, 콘트롤 게이트(124)에 독출 전압을 인가하고 제2 접합 영역(132)을 접지 단자에 연결시키며 제1 접합 영역(130)에 독출 전압보다는 작고 접지 전압보다는 큰 전압을 인가한 후 제1 접합 영역(130)에 흐르는 셀 전류를 센싱하여 이루어진다. 이때, 상기 독출 전압은 4V 내지 5V이고, 상기 독출 전압보다는 작고 접지 전압보다는 큰 전압은 0.8V 내지 1V일 수 있다.
- <60> 본 발명의 플래시 메모리 셀 구조에서도 제1 플로팅 게이트(116), 즉 폴리실리콘으로 이루어진 플로팅 게이트에 4 상태(4 States)를 만들어 주는 방식으로 프로그램할 경우, 3-비트(8 레벨 상태) 셀을 구현할 수도 있다.
- <61> 한편, 실리콘 질화막 플로팅 게이트(120)로 이루어진 플래시 메모리 셀과 폴리실리콘 플로팅 게이트(116)로 이루어진 플래시 메모리 셀을 시리얼(Serial)로 연결하여 사용할 수도 있다(도 15 참조). 이는 도 13a 및 도 13b를 참조하여 설명한 게이트 패터닝 공정시 실리콘 질화막 플로팅 게이트(120)로 이루어진 플래시 메모리 셀과 폴리실리콘 플

로팅 게이트(116)로 이루어진 플래시 메모리 셀이 시리얼 형태로 배열되도록 패터닝된 게이트 패터닝용 마스크를 이용하여 패터닝함으로써 구현할 수 있다.

**【발명의 효과】**

<62>        본 발명에 의한 플래시 메모리 셀 및 그 제조방법에 의하면, 종래의 공정 기술을 그대로 사용하여 고밀도의 2-비트 셀 또는 3-비트 셀을 구현할 수 있고, 따라서 제조비용을 절감할 수 있으며, 프로그램 시간뿐만 아니라 전하 저장/리텐션 측면에서 종래의 플래시 메모리 셀보다 유리한 고집적 플래시 메모리 셀을 구현할 수 있다.

<63>        이상, 본 발명의 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되는 것은 아니며, 본 발명의 기술적 사상의 범위내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러 가지 변형이 가능하다.

**【특허 청구범위】****【청구항 1】**

반도체 기판의 소자분리영역에 상기 반도체 기판의 표면보다 높게 돌출된 돌출부를 구비하는 소자분리막을 형성하는 단계;

상기 반도체 기판 상에 제1 터널 산화막을 형성하는 단계;

상기 제1 터널 산화막이 형성된 반도체 기판 상에 제1 플로팅 게이트용 물질막을 증착하는 단계;

상기 제1 플로팅 게이트용 물질막을 패터닝하는 단계;

상기 패터닝된 제1 플로팅 게이트용 물질막이 형성된 반도체 기판 상에 단차를 따라 제2 터널 산화막 및 제2 플로팅 게이트용 물질막을 순차적으로 형성하는 단계;

상기 제1 플로팅 게이트용 물질막 상부의 상기 제2 터널 산화막 및 상기 제2 플로팅 게이트용 물질막을 화학기계적 연마하여 제거하면서 상기 제1 플로팅 게이트용 물질막이 상기 돌출부에 의해 격리되도록 하는 단계;

상기 결과물 상에 콘트롤 게이트용 물질막 및 하드 마스크층을 형성하는 단계; 및

게이트 패턴을 정의하는 마스크를 사용하여 상기 하드 마스크층, 상기 콘트롤 게이트용 물질막, 상기 제2 플로팅 게이트용 물질막, 상기 제2 터널 산화막, 상기 제1 플로팅 게이트용 물질막 및 상기 제1 터널 산화막을 패터닝하는 단계를 포함하는 것을 특징으로 하는 플래시 메모리 셀의 제조방법.

**【청구항 2】**

제1항에 있어서, 상기 콘트롤 게이트용 물질막 및 상기 하드 마스크층을 형성하는 단계 전에,

상기 제1 플로팅 게이트용 물질막 사이에 형성된 상기 소자분리막의 돌출부를 식각하는 단계를 더 포함하는 것을 특징으로 하는 플래시 메모리 셀의 제조방법.

**【청구항 3】**

제1항에 있어서, 상기 돌출부를 구비하는 소자분리막을 형성하는 단계는,

상기 반도체 기판 상에 패드 산화막 및 패드 질화막을 형성하는 단계;

소자분리영역을 정의하는 마스크를 이용하여 상기 패드 질화막, 상기 패드 산화막 및 상기 반도체 기판을 식각하여 트렌치를 형성하는 단계;

상기 트렌치 측벽을 따라 산화막을 형성하는 단계;

패터닝된 상기 패드 질화막의 상부 표면까지 상기 트렌치를 매립하는 트렌치형 소자분리막을 형성하는 단계;

상기 패드 질화막을 제거하는 단계; 및

상기 패드 산화막을 제거하는 단계를 포함하여 이루어지는 것을 특징으로 하는 플래시 메모리 셀의 제조방법.

**【청구항 4】**

제1항에 있어서, 상기 제1 터널 산화막은 습식 산화 방식을 이용하여 형성하는 것을 특징으로 하는 플래시 메모리 셀의 제조방법.

**【청구항 5】**

제1항에 있어서, 상기 제2 터널 산화막은 고온산화막으로 형성하는 것을 특징으로 하는 플래시 메모리 셀의 제조방법.

**【청구항 6】**

제1항에 있어서, 상기 제2 터널 산화막은 50 내지 100Å 두께로 형성하는 것을 특징으로 하는 플래시 메모리 셀의 제조방법.

**【청구항 7】**

제1항에 있어서, 상기 제1 플로팅 게이트용 물질막은 폴리실리콘막인 것을 특징으로 하는 플래시 메모리 셀의 제조방법.

**【청구항 8】**

제1항에 있어서, 상기 제2 플로팅 게이트용 물질막은 실리콘 질화막인 것을 특징으로 하는 플래시 메모리 셀의 제조방법.

**【청구항 9】**

제1항에 있어서, 상기 제2 플로팅 게이트용 물질막은 100 내지 1000Å 두께로 형성하는 것을 특징으로 하는 플래시 메모리 셀의 제조방법.

**【청구항 10】**

제1항에 있어서, 상기 유전체막은 실리콘 산화막, 실리콘 질화막 및 실리콘 산화막을 순차적으로 적층하여 형성하는 것을 특징으로 하는 플래시 메모리 셀의 제조방법.

**【청구항 11】**

반도체 기판의 소정 영역에 형성된 제1 터널 산화막;



상기 제1 터널 산화막의 상부에 형성된 제1 플로팅 게이트;

상기 반도체 기판 상부와 상기 제1 플로팅 게이트 일측벽을 따라 형성된 제2 터널 산화막;

상기 제2 터널 산화막과 접하면서 형성되어 상기 제1 플로팅 게이트와 격리된 제2 플로팅 게이트;

상기 제1 플로팅 게이트 및 상기 제2 플로팅 게이트 상에 형성된 유전체막;

상기 유전체막 상에 형성된 콘트롤 게이트;

상기 제2 터널 산화막 일측부 하부의 상기 반도체 기판에 형성된 제1 접합 영역;  
및

상기 제1 터널 산화막 일측부 하부의 상기 반도체 기판에 형성된 제2 접합 영역을 포함하는 것을 특징으로 하는 플래시 메모리 셀.

#### 【청구항 12】

제11항에 있어서, 상기 콘트롤 게이트, 상기 제1 접합 영역 및 상기 제2 접합 영역에 인가되는 전압에 따라 상기 제1 플로팅 게이트 및 상기 제2 플로팅 게이트에 전자를 주입하거나 주입된 전자를 방출시켜 하나의 셀에 2-비트의 데이터를 저장하는 것을 특징으로 하는 플래시 메모리 셀.

#### 【청구항 13】

제11항에 있어서, 상기 콘트롤 게이트, 상기 제1 접합 영역 및 상기 제2 접합 영역에 인가되는 전압에 따라 상기 제1 플로팅 게이트 및 상기 제2 플로팅 게이트에 전자를 주입하거나 주입된 전자를 방출시켜 상기 제2 플로팅 게이트에 1비트의 데이터를 저장하





고 상기 제1 플로팅 게이트에 2-비트의 데이터를 저장하여 하나의 셀에 3-비트의 데이터를 저장하는 것을 특징으로 하는 플래시 메모리 셀.

【청구항 14】

제11항에 있어서, 상기 제2 터널 산화막은 고온 산화막으로 형성된 것을 특징으로 하는 플래시 메모리 셀.

【청구항 15】

제11항에 있어서, 상기 제2 터널 산화막은 50 내지 100Å의 두께를 갖는 것을 특징으로 하는 플래시 메모리 셀.

【청구항 16】

제11항에 있어서, 상기 제1 플로팅 게이트는 폴리실리콘막으로 형성되고, 상기 제2 플로팅 게이트는 실리콘 질화막으로 형성된 것을 특징으로 하는 플래시 메모리 셀.

【청구항 17】

제11항에 있어서, 상기 제1 플로팅 게이트는 500 내지 2000Å의 두께를 갖는 것을 특징으로 하는 플래시 메모리 셀.

【청구항 18】

제11항에 있어서, 상기 제2 플로팅 게이트는 100 내지 1000Å의 두께를 갖는 것을 특징으로 하는 플래시 메모리 셀.

【청구항 19】

제11항의 플래시 메모리 셀에 데이터를 저장하기 위한 플래시 메모리 셀의 프로그램 방법에 있어서,

제1 플로팅 게이트에 전자를 주입시킬 경우에는 콘트롤 게이트에 프로그램 전압을 인가하고 제1 접합 영역을 접지 단자와 연결시키며 제2 접합 영역에 상기 프로그램 전압보다 작고 접지 전압보다는 큰 전압을 인가하여 프로그램하며, 제2 플로팅 게이트에 전자를 주입시킬 경우에는 상기 콘트롤 게이트에 프로그램 전압을 인가하고 상기 제1 접합 영역에 상기 프로그램 전압보다 작고 접지 전압보다는 큰 전압을 인가하며 상기 제2 접합 영역을 접지 단자와 연결시켜 프로그램하되, 상기 제1 플로팅 게이트와 상기 제2 플로팅 게이트에 대하여 독립적으로 프로그램 동작이 이루어지는 것을 특징으로 하는 플래시 메모리 셀의 프로그램 방법.

#### 【청구항 20】

제19항에 있어서, 상기 프로그램 전압은 7V 내지 9V 이고, 상기 프로그램 전압보다 작고 접지 전압보다는 큰 전압은 4V 내지 5V인 것을 특징으로 하는 플래시 메모리 셀의 프로그램 방법.

#### 【청구항 21】

제11항의 플래시 메모리 셀에 저장된 데이터를 소거하기 위한 플래시 메모리 셀의 소거 방법에 있어서,

제1 플로팅 게이트에 주입된 전자를 방출시킬 경우에는 콘트롤 게이트에 소거 전압을 인가하고 제1 접합 영역을 플로팅시킨 상태에서 제2 접합 영역에 접지 전압보다 큰 전압을 인가하여 소거하며, 제2 플로팅 게이트에 주입된 전자를 방출시킬 경우에는 상기 콘트롤 게이트에 소거 전압을 인가하고 상기 제2 접합 영역을 플로팅시킨 상태에서 상기 제1 접합 영역에 접지 전압보다 큰 전압을 인가하여 소거하되, 상기 제1 플로팅 게이트

와 상기 제2 플로팅 게이트에 대하여 독립적으로 소거 동작이 이루어지는 것을 특징으로 하는 플래시 메모리 셀의 소거 방법.

【청구항 22】

제21항에 있어서, 상기 소거 전압은 -8V 내지 -9V 이고, 상기 접지 전압보다 큰 전압은 4V 내지 5V인 것을 특징으로 하는 플래시 메모리 셀의 소거 방법.

【청구항 23】

제11항의 플래시 메모리 셀에 저장된 데이터를 소거하기 위한 플래시 메모리 셀의 소거 방법에 있어서,

제1 접합 영역 및 제2 접합 영역을 플로팅시킨 상태에서 콘트롤 게이트에 소거 전압을 인가하고 반도체 기판에 접지 전압보다 큰 전압을 인가하여 제1 플로팅 게이트 및 제2 플로팅 게이트에 주입된 전자를 동시에 방출시켜 소거하는 것을 특징으로 하는 플래시 메모리 셀의 소거 방법.

【청구항 24】

제23항에 있어서, 상기 소거 전압은 -8V 내지 -9V 이고, 상기 접지 전압보다 큰 전압은 8V 내지 9V인 것을 특징으로 하는 플래시 메모리 셀의 소거 방법.

【청구항 25】

제11항의 플래시 메모리 셀에 저장된 데이터를 독출하기 위한 플래시 메모리 셀의 독출 방법에 있어서,

콘트롤 게이트에 독출 전압을 인가하고 제1 접합 영역을 접지 단자에 연결시키며 제2 접합 영역에 독출 전압보다는 작고 접지 전압보다는 큰 전압을 인가한 후 제2 접합

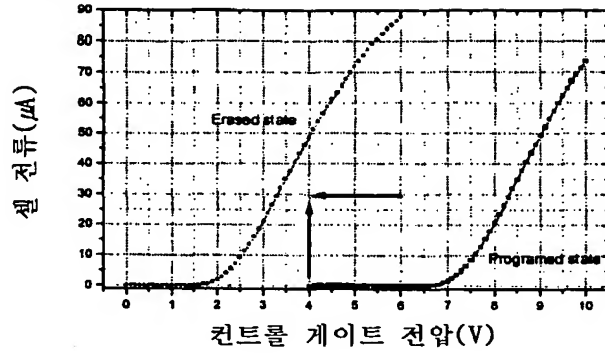
영역에 흐르는 셀 전류를 센싱하여 독출하거나, 콘트롤 게이트에 독출 전압을 인가하고 제2 접합 영역을 접지 단자에 연결시키며 제1 접합 영역에 독출 전압보다는 작고 접지 전압보다는 큰 전압을 인가한 후 제1 접합 영역에 흐르는 셀 전류를 센싱하여 독출하는 것을 특징으로 하는 플래시 메모리 셀의 독출 방법.

【청구항 26】

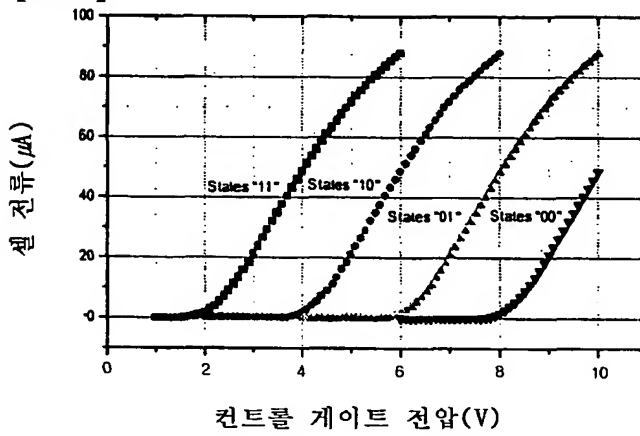
제25항에 있어서, 상기 독출 전압은 4V 내지 5V이고, 상기 독출 전압보다는 작고 접지 전압보다는 큰 전압은 0.8V 내지 1V인 것을 특징으로 하는 플래시 메모리 셀의 독출 방법.

【도면】

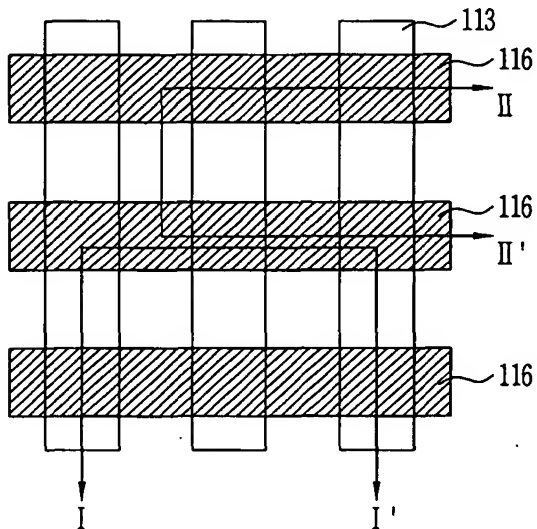
【도 1】



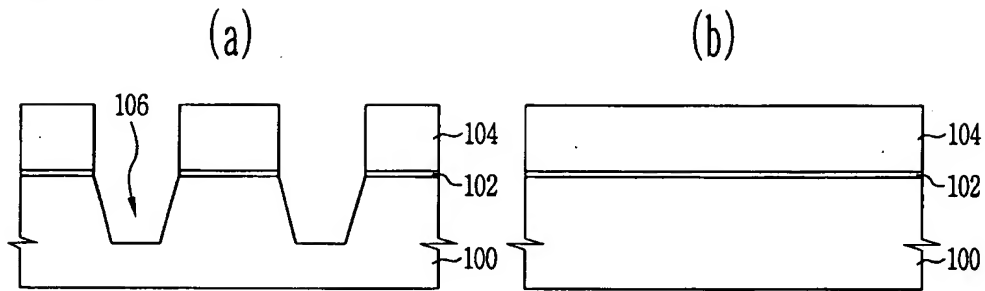
【도 2】



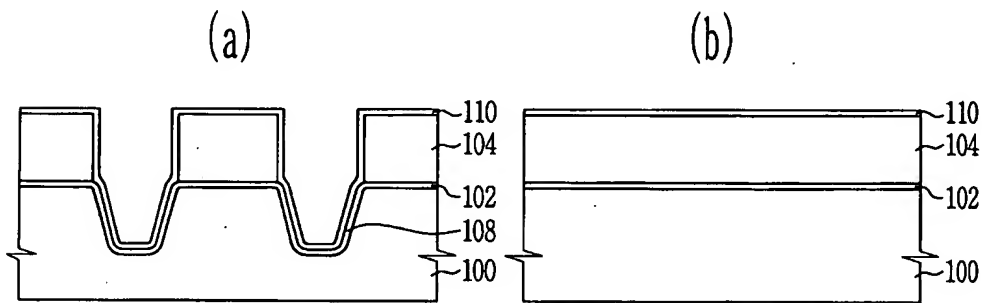
【도 3】



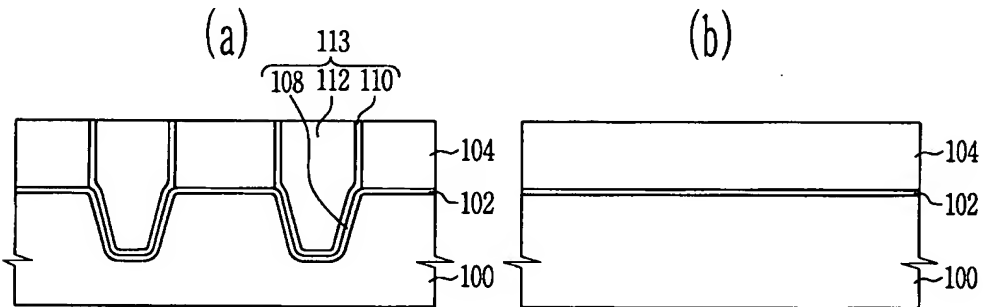
【도 4】



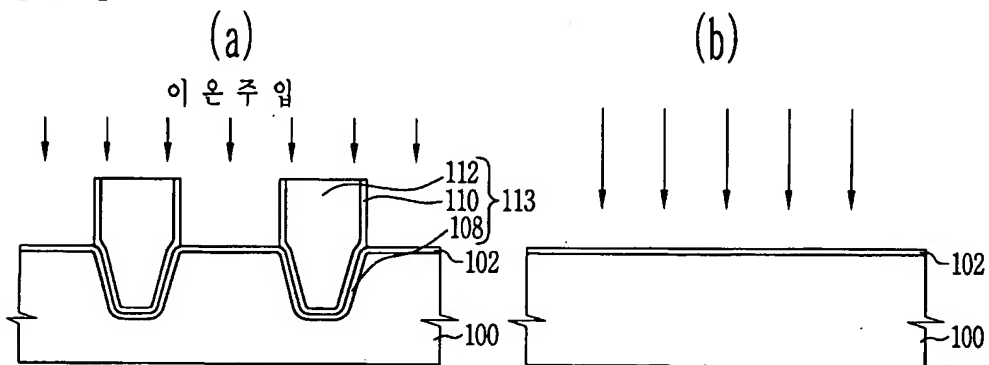
【도 5】



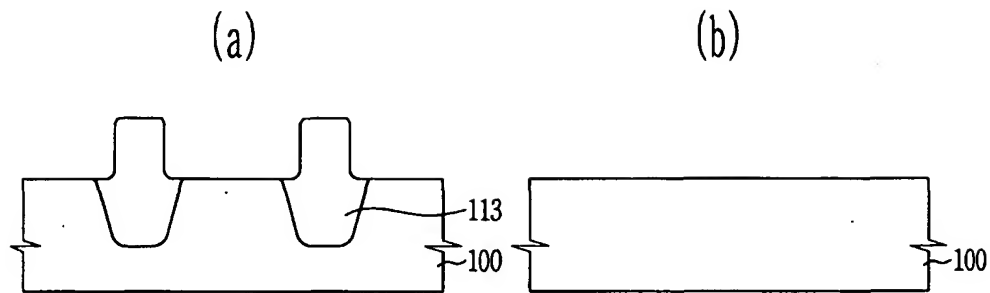
【도 6】



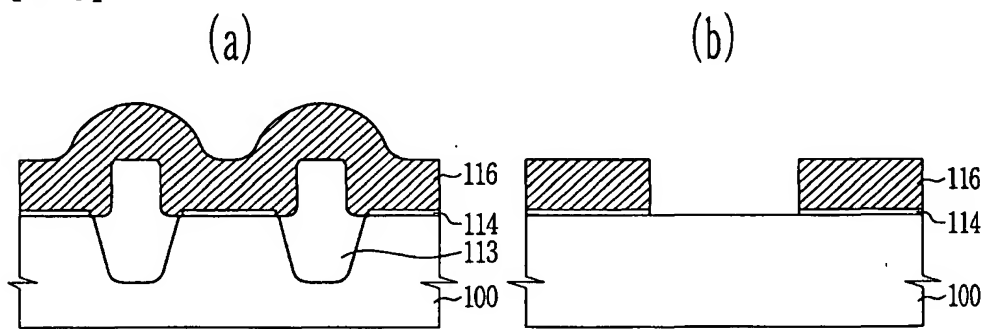
【도 7】



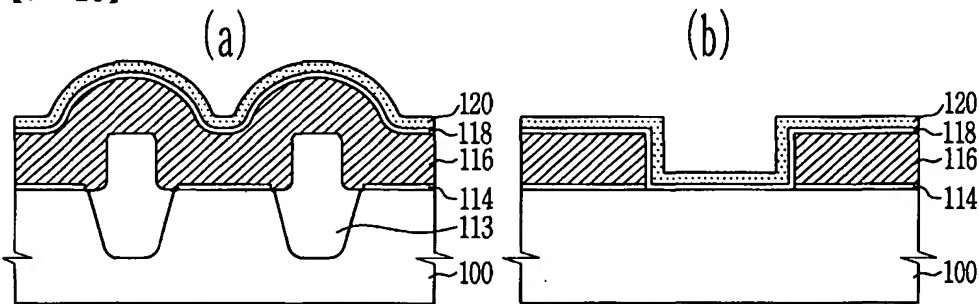
【도 8】



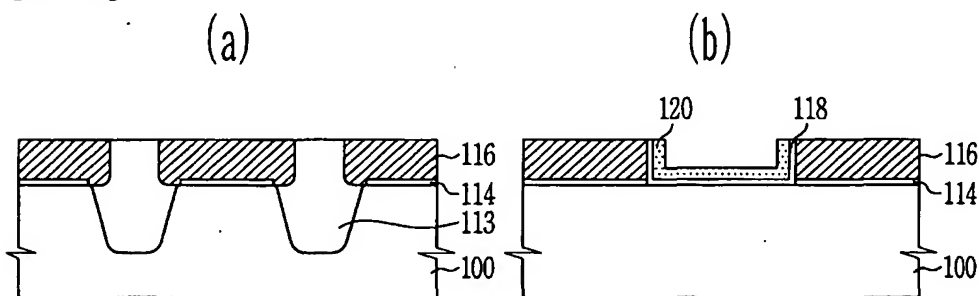
【도 9】



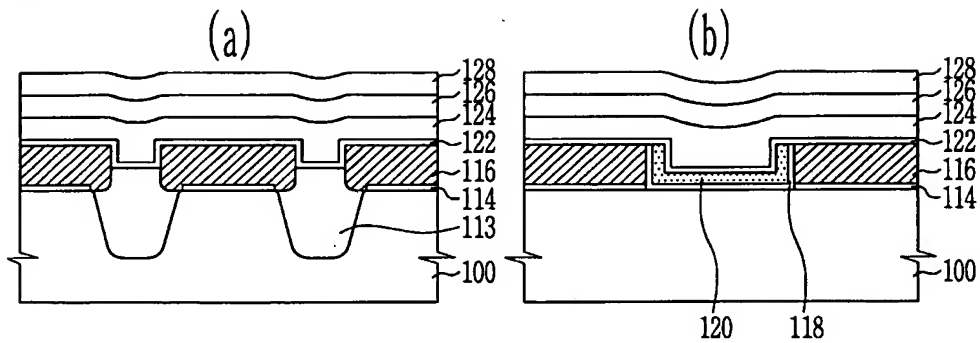
【도 10】



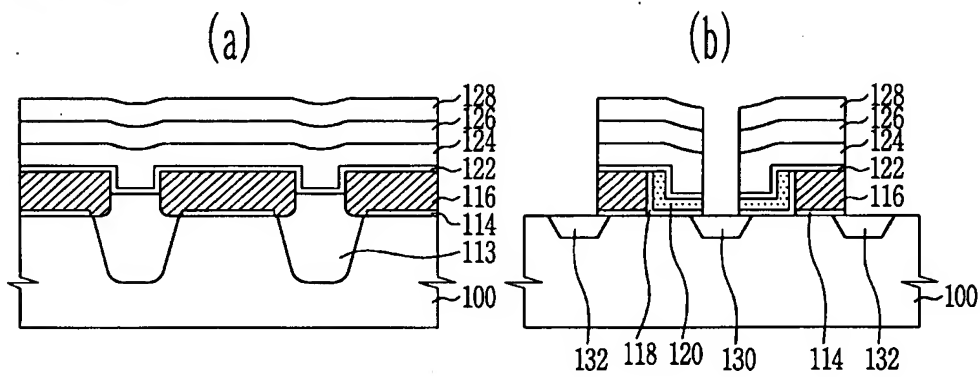
【도 11】



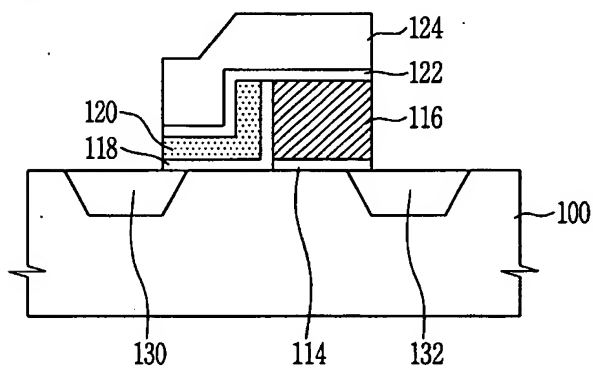
【도 12】



【도 13】



【도 14】



【도 15】

